

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-083870

(43)Date of publication of application : 22.03.2002

(51)Int.Cl. H01L 21/768
H01L 21/316
H01L 21/318

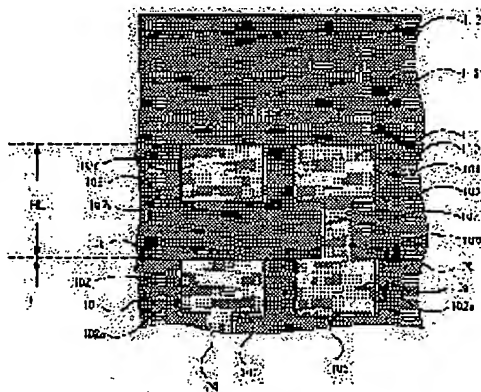
(21)Application number : 2000-274427 (71)Applicant : TOKYO ELECTRON LTD

(22)Date of filing : 11.09.2000 (72)Inventor : AKAHORI TAKASHI
TEI MOTOICHI
KAWAMURA GOHEI

(54) SEMICONDUCTOR DEVICE AND PRODUCTION METHOD THEREFOR**(57)Abstract:**

PROBLEM TO BE SOLVED: To provide a highly reliable semiconductor device of low dielectric constant and low Cu diffusibility suitable for a damascene method and a production method therefor.

SOLUTION: A wiring layer HL of a top layer having a Cu layer 107 embedded in a trench hole 108 and a via hole 109 is formed on a wiring layer LL of a lower layer by the damascene method. As an etching stopper film 110 to be used for the damascene method, a film (SiCN film) containing Si, C and B as main elements is used. This SiCN etching stopper film is formed to have CH_n radicals for 1021-1022 in the film and shows a low dielectric constant (≤ 6) and low Cu diffusibility. Therefore, the semiconductor device of small inter-wiring capacitance and high reliability is produced.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision
of rejection][Kind of final disposal of application
other than the examiner's decision of
rejection or application converted]

registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office .

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-83870

(P2002-83870A)

(43) 公開日 平成14年3月22日 (2002.3.22)

(51) Int.Cl.	識別記号	F I	サーチコード (参考)
H 0 1 L 21/768		H 0 1 L 21/316	X 5 F 0 3 3
21/316			M 5 F 0 5 8
		21/318	B
21/318		21/90	M

審査請求 未請求 請求項の数10 O L (全 16 頁)

(21) 出願番号 特願2000-274427 (P2000-274427)

(22) 出願日 平成12年9月11日 (2000.9.11)

(71) 出願人 000219967

東京エレクトロン株式会社

東京都港区赤坂5丁目3番6号

(72) 発明者 赤堀 孝

神奈川県津久井郡城山町町屋1丁目2番地

41 東京エレクトロン宮城株式会社内

(72) 発明者 鄭 基市

山梨県韮崎市穂坂町三ツ沢650 東京エ

レクトロン株式会社内

(74) 代理人 100095407

弁理士 木村 満 (外1名)

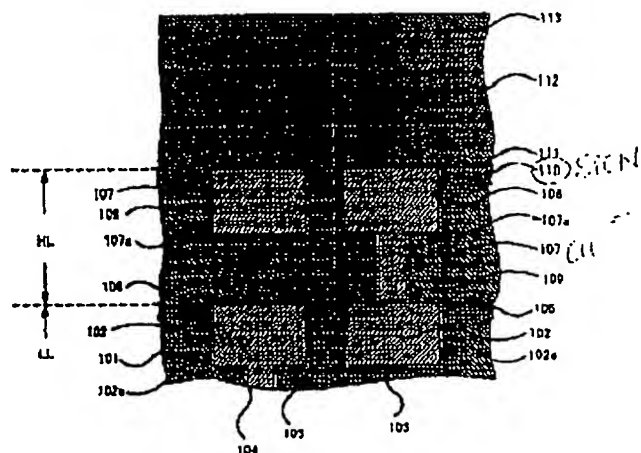
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 低誘電率かつ低Cu拡散性の、ダマシン法に適した、信頼性の高い半導体装置及びその製造方法を提供する。

【解決手段】 下層の配線層L Lの上に、トレンチホール108及びビアホール109に埋め込まれたCu層107を有する最上層の配線層H Lをダマシン法により形成する。ダマシン法で用いるエッチングストップ膜110には、SiとCとNとを主要元素として含む膜 (SiCN系膜) を用いる。このSiCN系膜のエッチングストップ膜は、膜中にCH₃基を10²¹~10²²有するように形成され、低誘電率 (6以下) かつ低Cu拡散性を示す。従って、配線間容量の小さい、信頼性の高い半導体装置が製造される。



【特許請求の範囲】

【請求項1】複数の溝又は穴を有する低誘電率の第1の絶縁層と、

前記第1の絶縁層上に形成され、前記複数の溝又は穴と重なる複数の開口を有し、SiとCとHとを主要元素として含む第2の絶縁層と、

前記複数の溝又は穴と前記複数の開口とから形成される複数の配線溝又は穴に埋め込まれた導体層と、を備えた半導体装置において、

前記第2の絶縁層は、炭素-水素結合含有基(CH_n 基(n は1乃至3の整数))を $10^{21} \sim 10^{22}$ (個/ cm^3)含むことを特徴とする半導体装置。

【請求項2】前記第2の絶縁層はさらにNを主要元素として含むことを特徴とする請求項1に記載の半導体装置。

【請求項3】前記導体層は、Cuから構成されることを特徴とする請求項1又は2に記載の半導体装置。

【請求項4】前記第2の絶縁層は、6以下の比誘電率を有することを特徴とする請求項1乃至3のいずれか1項に記載の半導体装置。

【請求項5】第1の絶縁層を形成する工程と、

前記第1の絶縁層上に、SiとCとHとを主要元素として含む第2の絶縁層を形成する工程と、

前記第1の絶縁層の表面が部分的に露出するよう、前記第2の絶縁層を選択的にエッチングして開口を形成する工程と、

前記選択的にエッチングされた第2の絶縁層をマスクとして前記第1の絶縁層をエッチングして、配線溝又は穴を形成する工程と、

前記開口及び前記配線溝又は穴を埋めて導体層を形成する工程と、

前記導体層を、前記第2の絶縁層をストップとして研磨する工程と、を備えた半導体装置の製造方法において、前記第2の絶縁層を形成する際に、成膜原料及び成膜反応を制御して、該第2の絶縁層に炭素-水素結合含有基(CH_n 基(n は1乃至3の整数))を $10^{21} \sim 10^{22}$ (個/ cm^3)含ませることを特徴とする半導体装置の製造方法。

【請求項6】前記第2の絶縁層はさらにNを主要元素として含むことを特徴とする請求項5に記載の半導体装置の製造方法。

【請求項7】前記導体層は、Cuから構成されることを特徴とする請求項5又は6に記載の半導体装置の製造方法。

【請求項8】前記第2の絶縁層は、6以下の比誘電率を有することを特徴とする請求項5乃至7のいずれか1項に記載の半導体装置の製造方法。

【請求項9】前記第2の絶縁層は、有機シラザン化合物を含む原料ガスを用いて、電子サイクロトロン共鳴プラズマを用いた化学的気相成長法により形成されることを

特徴とする請求項5乃至8のいずれか1項に記載の半導体装置の製造方法。

【請求項10】さらに、前記第2の絶縁層及び前記導体層の上に、前記第2の絶縁層と同一の構成を有する第3の絶縁層を形成する工程を備えることを特徴とする請求項5乃至9に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置及び半導体装置の製造方法に関し、特に、配線間容量が小さい、信頼性の高い半導体装置及びその製造方法に関する。

【0002】

【従来の技術】大規模集積回路(LSI)の高性能化のために、信号処理の一層の高速化が必要とされている。信号処理の高速化は、回路の微細化及び配線の信号遅延の低減によって図ることができる。近年、微細化が進み、LSIの設計ルールはサブミクロンに達し、このようなLSIでは配線遅延の低減が特に重要である。

【0003】上記した配線遅延の低減には、配線抵抗の低減が有効な手段である。配線抵抗を低減させるため、従来のAl(抵抗率 $2.7 \mu\Omega \cdot \text{cm}$)を主成分とする合金に代わり、エレクトロマイグレーション耐性に優れ、低抵抗なCu($1.9 \mu\Omega \cdot \text{cm}$)が用いられるようになってきている。

【0004】Cu配線を使用する場合、従来のエッチングプロセスによる加工が困難であるため、CuをエッチングせずにCuの多層配線を実現する方法として、所謂ダマシン法が用いられている。以下、図10(a)～(f)を参照して、ダマシン法を説明する。

【0005】まず、基板又は下層配線層601上に、例えば、SiOFから構成される層間絶縁膜(下地膜)602、エッチングストップ膜603を順に形成する(図10(a))。次いで、基板表面上に開口604aを有するレジストパターン604を設け(図10(b))、これをマスクとしてプラズマエッチング等により、エッチングストップ膜603にスルーホール603aを形成する(図10(c))。さらに、スルーホール603aの形成されたエッチングストップ膜603をマスクとしたパターニングにより配線溝605を形成する(図10(d))。続いて、金属膜606の密着層であるバリア金属膜606aをスパッタリング等によって形成した後、金属膜606をめっき等により形成する(図10(e))。その後、化学的機械的研磨(Chemical Mechanical Polishing: CMP)により、エッチングストップ膜603をストップとして不要なバリア金属膜及び金属膜の除去を行うとともに、表面を平坦化する(図10(f))。以上のような工程によって、配線層が形成され、この工程を繰り返して多層配線層が形成される。

【0006】上記エッチングストップ膜として、Siと、C(H)、N、Oなどの少なくとも1つを主要元素として含んで形成された膜が開発されている。これらの膜はSiO₂膜等との高いエッチング選択比を有するが、これらの膜の比誘電率はSiO₂膜と比べて高く、層間絶縁膜として作用するときには配線間容量を増大させてしまう。これは配線遅延の増大をもたらすので、これらのエッチングストップ膜の比誘電率を下げる必要がある。

【0007】一般に、絶縁膜の比誘電率を低下させるには膜を多孔質化（低密度化）することが有効な手段である。上記Si含有エッチングストップ膜を多孔質化させる1つの方法は、膜中のC(H)含有量を増大させることである。膜中のC(H)含有量の増大は、すなわち、有機基（特に炭化水素基）が膜中により多く存在し、膜がより多孔質化していることの1つの指標である。ここで、膜中のC(H)含有量を増大させるためには、例えば、C(H)含有量の高い有機ケイ素化合物を前駆体として用いればよい。

【0008】上記のようにして低密度化されたSi含有エッチングストップ膜のC(H)含有量、特に、CH₃、CH₂、CHといったCH結合含有基（CH_n基：nは1、2又は3）の含有量を知ることは重要である。というのは、SiC結合やSiN結合といった結合と違って、CH結合はSi原子間の架橋にはほとんど寄与せず、逆に架橋を妨げて膜の多孔質化に寄与するからである。一方、膜があまりに多孔質化すると、膜の金属（特にCu）の拡散性が高くなり、過度の多孔質化は膜の特性の低下につながる。

【0009】

【発明が解決しようとする課題】従来、膜中のC(H)含有量は、重量比やRBS（Rutherford Backscattering Spectroscopy）によって検出されるC/Si比などから判断されていた。しかしながら、このような手法は、原子の結合状態を判断するものではない。また、膜中の原子間の結合の数を見る方法として、フーリエ変換赤外分光法（FT-IR）がある。しかし、FT-IRによれば、CH_n基の含有量をある程度判断することができるが、SiC結合とCH₂結合のスペクトルピークが重なるなど、CH_n基の正確な膜中含有量を知ることはできない。

【0010】このように、従来のSi含有エッチングストップ膜は、膜中のCH_n基の正確な含有量を制御して形成されたものではなかった。さらに、微細化、高速化に伴い、膜の比誘電率を低下させ、かつ、金属拡散性を低減させるため、より高精度に膜中のCH_n基の含有量を制御することが必要となる。上記事情を鑑みて、本発明は、配線遅延の小さい、信頼性の高い半導体装置及びその製造方法の提供を目的とする。

【0011】

【課題を解決するための手段】上記目的を達成するため、本発明の第1の観点にかかる半導体装置は、複数の溝又は穴を有する低誘電率の第1の絶縁層と、前記第1の絶縁層上に形成され、前記複数の溝又は穴と重なる複数の開口を有し、SiとCとHとを主要元素として含む第2の絶縁層と、前記複数の溝又は穴と前記複数の開口とから形成される複数の配線溝又は穴に埋め込まれた導体層と、備えた半導体装置において、前記第2の絶縁層は、炭素-水素結合含有基（CH_n基（nは1乃至3の整数））を10²¹～10²²（個/cm³）含むことを特徴とする。

【0012】上記構成によれば、膜中のCH_n基の含有量が高精度に制御されたSiC系膜を第2の絶縁層（エッチングストップ膜）として用いるので、下地膜（第1の絶縁層）とのエッチング選択性が高いとともに、低い誘電率を有する。従って、配線間容量が小さく、配線遅延を低く抑えることができる。さらに、Cu拡散性も低いので、半導体装置の信頼性を向上させることができる。

【0013】上記構成の半導体装置において、前記第2の絶縁層はさらにNを主要元素として含むことが好ましい。これにより、導体層（Cu等）と接する第2の絶縁層（エッチングストップ膜）の金属拡散性を抑えることができる。

【0014】上記構成の半導体装置において、前記導体層は、Cuから構成されることが好ましい。抵抗率の低いCuを配線に用いることにより、配線遅延を低減させることができる。

【0015】上記構成の半導体装置において、前記第2の絶縁層は、6以下の比誘電率を有する。第2の絶縁層にSiCN系膜を用いることにより、一般的なエッチングストップ膜であるSiC系膜、SiN系膜の比誘電率（7～8）よりも低い誘電率とすることができる。

【0016】上記目的を達成するため、本発明の第2の観点にかかる半導体装置の製造方法は、第1の絶縁層を形成する工程と、前記第1の絶縁層上に、SiとCとHとを主要元素として含む第2の絶縁層を形成する工程と、前記第1の絶縁層の表面が部分的に露出するよう、前記第2の絶縁層を選択的にエッチングして開口を形成する工程と、前記選択的にエッチングされた第2の絶縁層をマスクとして前記第1の絶縁層をエッチングして、配線溝又は穴を形成する工程と、前記開口及び前記配線溝又は穴を埋めて導体層を形成する工程と、前記導体層を、前記第2の絶縁層をストップとして研磨する工程と、備えた半導体装置の製造方法において、前記第2の絶縁層を形成する際に、成膜原料及び成膜反応を制御して、該第2の絶縁層に炭素-水素結合含有基（CH_n基（nは1乃至3の整数））を10²¹～10²²（個/cm³）含ませることを特徴とする。

【0017】上記構成によれば、膜中のCH_n基の含有

量が高精度に制御されたSiC系膜を第2の絶縁層（エッチングストップ膜）として用いるので、下地膜（第1の絶縁層）とのエッチング選択性が高いとともに、低い誘電率を有する。従って、配線間容量が小さく、配線遅延を低く抑えることができる。さらに、Cu拡散性も低いので、半導体装置の信頼性を向上させることができる。

【0018】上記構成の半導体装置の製造方法において、前記第2の絶縁層はさらにNを主要元素として含むことが好ましい。これにより、導体層（Cu等）と接する第2の絶縁層（エッチングストップ膜）の金属拡散性を抑えることができる。

【0019】上記構成の半導体装置の製造方法において、前記導体層は、Cuから構成されることが好ましい。抵抗率の低いCuを配線に用いることにより、配線遅延を低減させることができる。

【0020】上記構成の半導体装置の製造方法において、前記第2の絶縁層は、6以下の比誘電率を有する。第2の絶縁層にSiCN系膜を用いることにより、一般的なエッチングストップ膜であるSiC系膜、SiN系膜の比誘電率（7～8）よりも低い誘電率とすることができる。

【0021】上記構成の半導体装置の製造方法において、前記第2の絶縁層は、有機シラゼン化合物を含む原料ガスを用いて、電子サイクロトロン共鳴プラズマを用いた化学的気相成長法により形成されてよい。

【0022】上記構成において、さらに、前記第2の絶縁層及び前記導体層の上に、前記第2の絶縁層と同一の構成を有する第3の絶縁層を形成する工程を備えることが好ましい。これにより、Cu等の導体層からの金属の拡散を抑えることができる。

【0023】

【発明の実施の形態】本発明の実施の形態にかかる半導体装置について、以下図面を参照して説明する。図1は、本実施の形態の半導体装置の構成を示す部分断面図である。この半導体装置は、Si等の基板上に形成されたMOSトランジスタ等の素子を覆う絶縁膜（図示せず）上に多層配線層を形成したものであり、図1は、基板表面に形成された配線層を示している。

【0024】図1に示すように、最上層の配線層HLの下に、第1の下地膜（層間絶縁膜）101、第1の導体層102、第1のエッチングストップ膜105、から構成される下層配線層L1が形成されている。

【0025】第1の下地膜101は、フッ酸化ケイ素（SiOF）膜、フッ素含有カーボン膜等から構成され、第1のエッチングストップ膜105とともに、第1のトレンチホール103及び第1のビアホール104を形成している。形成された第1のトレンチホール103及び第1のビアホール104には第1の導体層102が形成されている。第1の導体層102は、Cu等の導体

から構成される。第1の下地膜101と第1の導体層102との間には、第1のバリアメタル膜102aが形成される。第1のバリアメタル膜102aは、Ta/TaN、W/WN、Ti/TiN等の高融点金属又はその金属の合金の多層膜から構成され、Cu等の金属の拡散を防ぐとともに、下地膜101と導体層102との密着性を高める機能を持つ。第1の導体層102は、さらに下の配線層（図示せず）又はSi基板に接続されている。

【0026】第1のエッチングストップ膜105は、SiとCとNとを主要元素として構成された、下地膜（SiOF膜）とのエッチング選択性の高いSiCN系の絶縁膜である。SiCN系膜は、SiC系膜にさらにNを加えたものであり、これによりSiC系膜よりもCuの拡散性を低下させたものである。ここで、このSiCN系膜は、SiH₄とC₂H₄とN₂を前駆体として形成されたものであり、膜中のCH結合含有基（CH_n：nは1乃至3の整数）の含有率（個/cm³）は10²¹～10²²とされ、このとき、比誘電率は6以下である。

【0027】上述の下層配線層L1の上には、第2の下地膜106及び第2のエッチングストップ膜110が形成されている。下層配線層L1と同様に、第2の下地膜106及び第2のエッチングストップ膜110は、第2のトレンチホール108及び第2のビアホール109を形成し、これらの内部には、第2のバリアメタル膜107aを介して、第2の導体層107が埋め込まれている。

【0028】最上層の配線層HLの上には、第3のエッチングストップ膜111が形成され、これは、SiとCとNとを主要元素として構成された上記第1及び第2のエッチングストップ膜と同じ構成を有し、Cu等からなる導体層からの金属の拡散を抑える機能を有する。さらに第3のエッチングストップ膜111の上には、第3の下地膜112及びパッシベーション膜113（例えば、SiO₂膜、SiON膜）が順に形成されている。これらは、酸化等されやすい基板表面の保護層である。

【0029】次に、上述した半導体装置の製造方法を説明する。本実施の形態では、半導体装置を、ダマシンの変形である、トレンチホールとビアホールを形成する、デュアルダマシン法を用いて製造する。

【0030】図2～図6は、デュアルダマシン法によるCu配線の形成工程を順に示す図である。以下、図を参照して順次説明を行う。

【0031】まず、図2（a）に示すように、第1の下地膜101、第1の導体層102、第1のエッチングストップ膜105等から構成される下層配線層L1上に、第2の下地膜106、第2のエッチングストップ膜110を順次成膜する。第2の下地膜106は、SiOF膜であり、電子サイクロトロン共鳴（Electron Cyclotron Resonance：ECR）プラズマを用いる化学的気相成長

法 (Chemical Vapor Deposition: CVD) により、例えば、 $\text{SiH}_4/\text{SiF}_4/\text{O}_2$ (流量比: 50/50/200) という条件で、 $0.8\mu\text{m}$ (8000\AA) 程度に形成する。

【0032】第2のエッチングストップ膜110は、 SiCN 系膜であり、ECRプラズマCVD法により $0.05\mu\text{m}$ 程度に成膜する。成膜には、例えば、 $\text{SiH}_4/\text{C}_2\text{H}_4/\text{N}_2$ (流量比: 10/15/15) の混合ガスが用いられる。

【0033】次に、図2 (b) に示すように、有機材料等から構成される第1のレジスト膜201を第2のエッチングストップ膜110上に形成し、フォトリソグラフィ技術によりビアホールのパターン201aを形成する。

【0034】続いて、図3 (a) に示すように、ビアホールパターン201aがパターンニングされた第1のレジスト膜201をマスクとして、例えば、 CF_4 のプラズマガスで第2のエッチングストップ膜110をエッチングし、ビアホール形成用の開口部110aを形成する。

【0035】次に、図3 (b) に示すように、第2のエッチングストップ膜110をマスクとした異方性エッチングを行い、第2の下地膜106にホール106aを形成する。ここで、第2の下地膜 (SiOF 膜) 106のエッチングは、例えば、 O_2/CF_4 プラズマガスを用いた反応性イオンエッチング (Reactive Ion Etching: RIE) により行えばよい。また、 O_2 プラズマガスが添加されているので、第1のレジスト膜201も同時に除去することができる。

【0036】続いて、図4 (a) に示すように、第2のレジスト膜202を第2のエッチングストップ膜110上に塗布し、公知のリソグラフィ技術によりトレンチホールのパターン202aを形成する。この第2のレジスト膜202をマスクとして第2のエッチングストップ膜110を異方性エッチングして、トレンチホール形成用の開口部110bを形成する。

【0037】次に、図4 (b) に示すように、トレンチホール形成用の開口部110bが形成された第2のエッチングストップ膜110をマスクとして第2の下地膜106をエッチングする。このとき、エッチング条件を適当に調節することにより、第2の下地膜106の表面から所定の深さまでエッチングする。これにより、第2の下地膜106に、第2のトレンチホール108、第2のビアホール109が形成される。ここで、第2のトレンチホール108及び第2のビアホール109の形成は、上述したホール106aの形成と同様に、例えば、 O_2/CF_4 プラズマガスを用いたRIEにより行われ、このとき、第2のレジスト膜202も同時にエッチングすることができる。

【0038】続いて、図5 (a) に示すように、基板表面全体に、第2のバリアメタル膜107a及び第2の導

体層107を順に形成する。第2のバリアメタル膜107aは、例えば、 TaN 層と Ta 層から構成される膜 (Ta/TaN) であり、例えば、スパッタリングにより形成される。また、第2の導体層107は、例えば、 Cu 膜であり、スパッタリングにより Cu シード層を形成した後、無電解めっき法等により形成される。その後、図5 (b) に示すように、化学的機械的研磨 (Chemical Mechanical Polishing: CMP) により、余分なバリアメタル及び Cu を研磨して除去する。

【0039】最後に、図6に示すように、基板表面上に第3のエッチングストップ膜111を $0.05\mu\text{m}$ 、上記第2のエッチングストップ膜110と同一の成膜条件で成膜する。さらに、第3の下地膜112を $0.05\mu\text{m}$ 、そして、パッシベーション膜 (SiO_2 膜) 113を $0.8\mu\text{m}$ で順に形成する。ここで、この3層の膜の形成はECRプラズマCVD法で、同一のチャンバ内で連続的に行われる。このように、デュアルダマシン法を用いて、本実施の形態の半導体装置を製造することができる。

【0040】ここで、上述した半導体装置の製造工程で、第2の下地膜106のエッチングのマスクとして用いた SiCN 系膜について説明する。図7は、種々の前駆体から、原料ガス流量等の成膜条件を変化させて形成した SiCN 系膜における、 CH_n 結合含有基 (CH_n 基) の単位体積当たりの個数と比誘電率との関係を示す。ここで、 CH_n 基の個数は、X線光電子分光法 (X-ray Photoelectron Spectroscopy: XPS) により深さ方向で測定した。

【0041】図中、Iは、上記実施の形態の $\text{SiH}_4/\text{C}_2\text{H}_4/\text{N}_2/\text{Ar}$ 系の成膜系から、IIは、トリメチルシラン ($\text{SiH}(\text{CH}_3)_3$)/ N_2/Ar 系、IIIは、トリメチルシラン/ NH_3/Ar 系、IVは、ヘキサメチルシクロトリシラザン ($(\text{Si}(\text{CH}_3)_2-\text{NH})_3$)/ Ar 系、Vは、ヘキサメチルシクロトリシラザン/ N_2/Ar 系、VIは、ヘキサメチルシクロトリシラザン/ NH_3/Ar 系、の成膜系からそれぞれ形成された SiCN 系膜を示す。

【0042】図7より、上記I~VIのいずれの成膜系においても、膜中の CH_n 基の数を増加させることにより比誘電率が4~5まで低下した SiCN 系絶縁膜を形成することができる。特に、 $10^{21}\sim 10^{22}$ (個/ cm^3) で CH_n 基を含む実施の形態の SiCN 系膜は6以下の比誘電率を有し、従来エッチングストップ膜として用いられている SiC 膜や SiN 膜の比誘電率 (7~8) と比べて低い。

【0043】また、シラン (I)、トリメチルシラン (II、III)、ヘキサメチルシクロトリシラザン (IV~VI) を前駆体として用いた場合をそれぞれ比較して、形成される膜の比誘電率を低下させるには、前駆体の分子サイズを大きくすればよく、また、同様の理

由で、 N_2 (I1, V) よりも NH_3 (I11, V1) を用いた方がより低い誘電率を得られることがわかる。

【0044】図8(a)は、 $SiCN$ 系膜中の CH_n 基の数と Cu の拡散性の関係を示す図である。ここで、膜中の CH_n 基の数は上述したのと同様に、XPSにより測定した。また、 Cu の拡散性は、 Cu 層の上に $SiCN$ 系膜が 500Å ($0.05\mu m$) 形成され、その上に SiO_2 膜が 1000Å ($0.1\mu m$) 形成された基板を $400^\circ C$ で3時間熱処理した後に、図8(b)に示すような、 Cu の $SiCN$ 系膜への拡散の様子をSIMS (Secondary Ion Mass Spectroscopy) により測定した。

【0045】図8(a)よりわかるように、 CH_n 基の単位体積当たりの個数が $10^{21} \sim 10^{22}$ (個/ cm^3) である本実施の形態の $SiCN$ 系膜については、 Cu の拡散は $SiCN$ 系膜の膜厚 (1000Å) を超えることはなく、良好な Cu バリア性、すなわち低い Cu 拡散性を示している。

【0046】上記したように、本実施の形態の、 CH_n 基の単位体積当たりの個数が $10^{21} \sim 10^{22}$ (個/ cm^3) である本実施の形態の $SiCN$ 系膜は、低い比誘電率、かつ、低い Cu 拡散性を有している。

【0047】以上説明したように、本発明によれば、膜中の CH_n 基の数に基づいて、比誘電率、 Cu 拡散性といった膜の特性が調整された、信頼性の高い半導体装置及びその製造方法が提供される。

【0048】本発明は、上記の実施の形態に限らず、種々の変形、応用が可能である。以下、本発明に適用可能な上記の実施の形態の変形態様について、説明する。

【0049】上記実施の形態では、エッチングストップ膜である $SiCN$ 系膜は、ECRプラズマCVDにより成膜した。が、成膜方法はこれに限らず、誘導結合型 (Inductive Coupled Plasma: ICP)、ヘリコン波型、平行平板型等のプラズマCVDであってもよい。

【0050】上記実施の形態では、配線を構成する導体層は Cu から構成されるとしたが、 Cu に限らず、 Al 或いは Al 含有合金等であってもよい。

【0051】上記実施の形態では、下地膜のエッチングガスとして O_2/CF_4 ガスを用いるものとした。しかしながら、 O_2/CF_4 ガスの代わりに H_2 ガスと Ar ガスと N_2 ガスとの混合ガスなどのプラズマを用いることも可能である。また、 CF_4 ガスは、 C_mF_n (m, n は0以上の整数) のクロロカーボン系のガスを使用することができる。

【0052】上記実施の形態では、エッチングストップ膜111、 $SiOF$ 膜112、パッシベーション膜113から構成される保護膜のECRプラズマCVD法による成膜は、同一のチャンバ内で行った。しかし、これに限らず、エッチングストップ膜111を1つのチャンバ内で形成し、 $SiOF$ 膜112とパッシベーション膜

113を別のチャンバ内で形成する、或いは、全ての成膜を個別のチャンバで行い、さらに、別々のプラズマ処理方法を用いるものとしてもよい。しかし、一般に、半導体材料は酸化又は水分吸着し易いので、高真空かつ清浄空気条件下の同一のチャンバ内で全ての処理を行うことが好ましい。

【0053】上記実施の形態では、 $SiCN$ 系膜は、 SiH_4 と C_2H_4 と N_2 を原料ガス化合物として形成した。しかし、原料化合物としては、 Si 、 C 、 N を含む化合物であって、単体で、又は、これらを適当に組み合わせた反応により $SiCN$ 系膜が形成されるものならいかなるものでもよい。

【0054】例えば、本実施の形態のように、 Si 、 C 、 N をそれぞれ含む3種の原料ガス化合物を用いる場合には、 Si 含有化合物として SiH_4 を、 C 含有化合物として C_2H_4 、 CH_4 、 C_2H_6 、 C_3H_8 、 C_2H_2 等を、 N 含有化合物として N_2 、 NF_3 、 N_2O 、 N_2O_4 、 NO 、 N_3H_8 等を適当に組み合わせればよい。

【0055】また、 Si 及び C を含む原料化合物と、 N を含む原料化合物の2種のガスを混合して成膜してもよい。この場合、 N 含有化合物としては上記したものを用い、 Si 及び C を含む化合物としてアルキルシラン、アルコキシシラン等の有機シランを用いて、これらを適当に組み合わせればよい。アルキルシランとしては、例えば、メチルシラン ($SiH_3(CH_3)$)、ジメチルシラン ($SiH_2(CH_3)_2$)、トリメチルシラン ($SiH(CH_3)_3$)、テトラメチルシラン ($Si(CH_3)_4$) といったメチル化シランが挙げられ、アルコキシシランとしては、例えば、トリメトキシメチルシラン ($Si(CH_3)(OCH_3)_3$) といったメトキシ化シランが挙げられる。また、これとは逆に、 Si 及び N を含む原料ガスと C を含む原料ガスを混合するようしてもよい。この場合、 C 含有化合物としては、上記のものから選取し、 Si 及び N を含む化合物としては、例えば、ジシラザン ($SiH_3-NH-SiH_3$) を用いて、これらを適当に組み合わせればよい。

【0056】さらには、 Si 、 C 、 N を全て含む化合物を原料ガスとして用いることも可能である。このような化合物としては、シラザン結合 ($-Si-N-$) を有する有機シラザン化合物を用いることができる。有機シラザン化合物を用いる場合、例えば、プラズマCVD法により熱重合させて成膜することができる。使用可能な有機シラザン化合物としては、例えば、トリエチルシラザン ($SiEt_3NH_2$)、トリプロピルシラザン ($SiPr_3NH_2$)、トリフェニルシラザン ($SiPh_3NH_2$)、テトラメチルジシラザン ($SiMe_2H-NH-SiMe_2H$)、ヘキサメチルジシラザン ($SiMe_3-NH-SiMe_3$)、ヘキサエチルジシラザン ($SiEt_3-NH-SiEt_3$)、ヘキサフェニルジシラ

ザン ($\text{SiPh}_3\text{-NH-SiPh}_3$)、ヘプタメチルジシラザン ($\text{SiMe}_3\text{-NMe-SiMe}_3$)、ジプロピルテトラメチルジシラザン ($\text{SiPrMe}_2\text{-NH-SiPrMe}_2$)、ジ-n-ブチルテトラメチルジシラザン ($\text{SiBuMe}_2\text{-NH-SiBuMe}_2$)、ジ-n-オクチルテトラメチルジシラザン ($\text{SiOcMe}_2\text{-NH-SiOcMe}_2$)、トリエチルトリメチルシクロトリシラザン ($(\text{SiEtH-NMe})_3$)、ヘキサメチルシクロトリシラザン ($(\text{SiMe}_2\text{-NH})_3$)、ヘキサエチルシクロトリシラザン ($(\text{SiEt}_2\text{-NH})_3$)、ヘキサフェニルシクロトリシラザン ($(\text{SiPh}_2\text{-NH})_3$)、オクタメチルシクロテトラシラザン ($(\text{SiMe}_2\text{-NH})_4$)、オクタエチルシクロテトラシラザン ($(\text{SiEt}_2\text{-NH})_4$)、テトラエチルテトラメチルシクロテトラシラザン ($(\text{SiHEt-NMe})_4$)、シアノプロピルメチルシクロシラザン ($\text{SiMeNC}(\text{CH}_2)_3\text{-NH}$)、テトラフェニルジメチルジシラザン ($\text{SiMePh}_2\text{-NH-SiMePh}_2$)、ジフェニルテトラメチルジシラザン ($(\text{SiMe}_2\text{Ph})_2\text{-NH}$)、トリビニルトリメチルシクロトリシラザン ($(\text{CH}_2=\text{CH-SiMe-NH})_3$)、テトラビニルテトラメチルシクロテトラシラザン ($\text{CH}_2=\text{CH-SiMe-NH}$)₄、ジビニルテトラメチルジシラザン ($\text{CH}_2=\text{CH-SiMe}_2\text{-NH-SiMe}_2\text{-CH}=\text{CH}_2$) が挙げられる。上記式中、Meはメチル基 (CH_3)、Etはエチル基 (C_2H_5)、Prはプロピル基 (C_3H_7)、Ocはn-オクチル基 ($\text{n-C}_8\text{H}_{17}$)、Phはフェニル基 (C_6H_5) を示す。

【0057】また、上記の例では、Si、C、Nを含む原料ガスが各1種類あればよいものとしたが、これに限らず、例えば、有機シランと N_2 の他に C_2H_2 を加えたガスや、有機シラザンの他に N_2 を加えたガスを用いてもよい。

【0058】上記実施の形態では、エッチングストップ膜として、Si、C(H)、Nを主要元素として含むSiCN系膜を用いた。しかし、エッチングストップ膜としては、これに限られず、 CH_n 基を含むものであれば、SiCH系膜、SiOC系膜等、いかなる膜であっても構わない。

【0059】上記実施の形態では、 CH_n 基を含むエッチングストップ膜に関して、その CH_n 基含有量に基づいて、比誘電率、Cu拡散性等の特性を調整するものとした。しかし、このような CH_n 基の含有量に基づいて膜の特性を制御する手法は、エッチングストップ膜に限られず、主要元素としてC及びHを含むいかなる絶縁膜に対しても適用することが可能である。

【0060】上記実施の形態では、SiOF等からなる1層の層間絶縁膜上にSi、C、Nからなるエッチングストップ膜を形成し、このエッチングストップ膜をマス

クとしてビアホール及びトレンチホールを形成した。しかし、本実施の形態のエッチングストップ膜を用いた配線層の形成工程は上記工程に限られない。例えば、ダマシンの法、図10(a)~(d)に示す工程を2回用いて、ビアホール、トレンチホールを順に形成して、図9に示す構成としてもよい。この場合、まず、上述したSi、C、Nを主要元素として含むビアホール形成用エッチングストップ膜502をマスクとして用い、下層絶縁層501を選択的にエッチングしてビアホール504を形成する。続いて、上層絶縁層503を形成し、レジスト膜等をマスクとしたエッチングによりトレンチホール505を形成する。

【0061】上記したような、絶縁層501、503の間にエッチングストップ膜502を挟み込むような構成として配線層を形成することにより、トレンチホールを所定の深さにエッチングする際に問題となる、トレンチホール505の底部が平坦とならない、或いは、被処理ウェハの中心部と端部に形成されるトレンチホール505の深さが異なる、等のエッチング形状のばらつきを抑えることができる。また、図9に示す構成においても、上記実施の形態に示したように、Si、C、Nを主要元素として含むエッチングストップ膜は、低い比誘電率を有するので絶縁膜として十分に機能する。

【0062】

【発明の効果】以上説明したように、本発明によれば、比誘電率が低く、Cu拡散性の低い層間絶縁膜を備えることにより、配線間容量が低減された、信頼性の高い半導体装置及びその製造方法が提供される。

【図面の簡単な説明】

【図1】本発明の実施の形態にかかる半導体装置の部分断面図である。

【図2】本発明の実施の形態にかかる半導体装置の製造工程を順に示す図である。

【図3】本発明の実施の形態にかかる半導体装置の製造工程を順に示す図である。

【図4】本発明の実施の形態にかかる半導体装置の製造工程を順に示す図である。

【図5】本発明の実施の形態にかかる半導体装置の製造工程を順に示す図である。

【図6】本発明の実施の形態にかかる半導体装置の製造工程を順に示す図である。

【図7】膜中の CH_n 基の数と膜の比誘電率との関係を示す図である。

【図8】SIMSによりSiCN系膜へのCuの拡散性を調べた図である。

【図9】本発明の他の実施の形態にかかる半導体装置の部分断面図である。

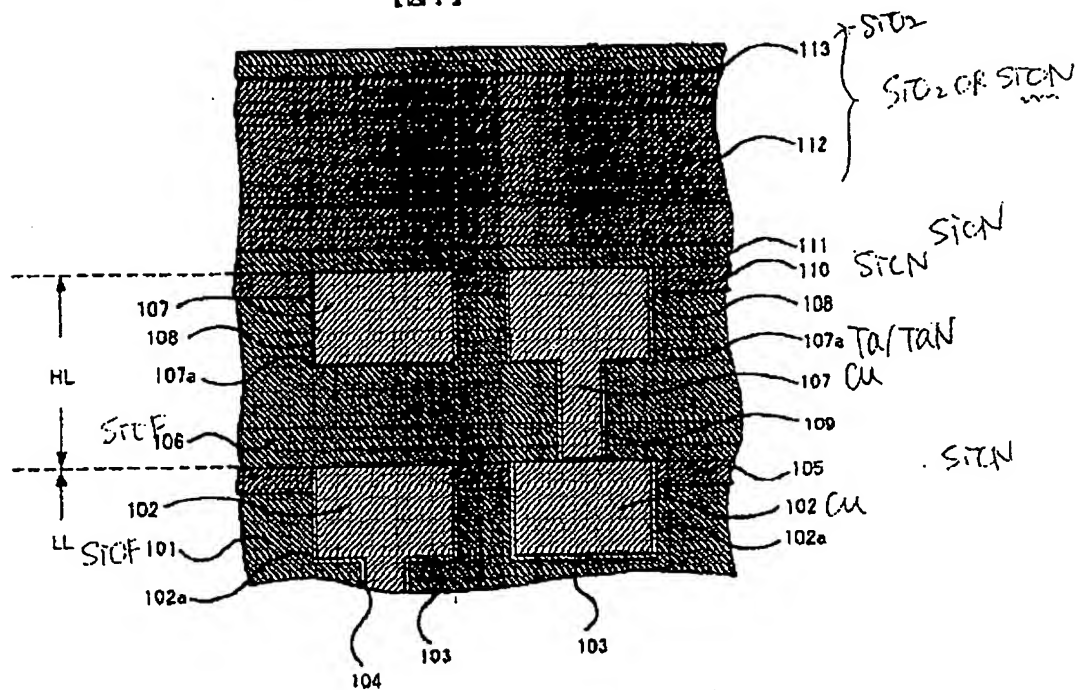
【図10】ダマシンの法を用いた配線層の形成工程を順に示す図である。

【符号の説明】

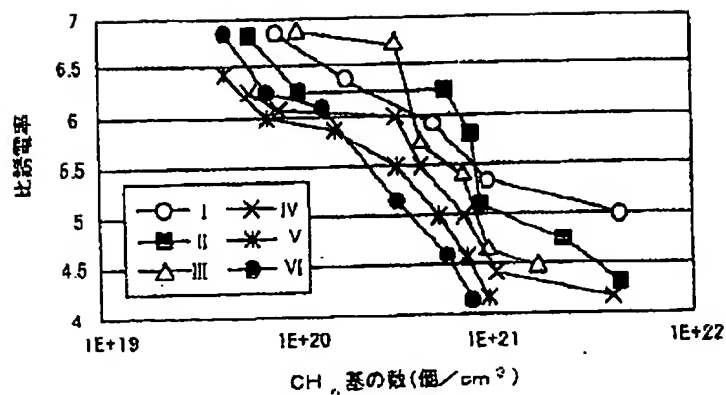
101 第1の下地膜
 102 第1の導体層
 102a 第1のバリアメタル膜
 103 第1のトレンチホール
 104 第1のビアホール
 105 第1のエッチングストップ膜
 106 第2の下地膜
 107 第2の導体層
 107a 第2のバリアメタル膜

108 第2のトレンチホール
 109 第2のビアホール
 110 第2のエッチングストップ膜
 111 第3のエッチングストップ膜
 112 第3の下地膜
 113 パッシベーション膜
 201 第1のレジスト膜
 202 第2のレジスト膜

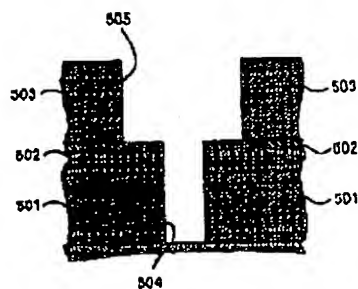
【図1】



【図7】

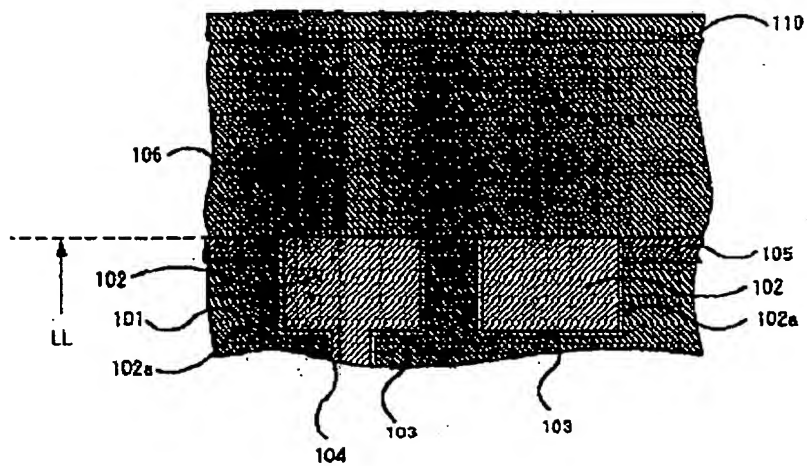


【図9】

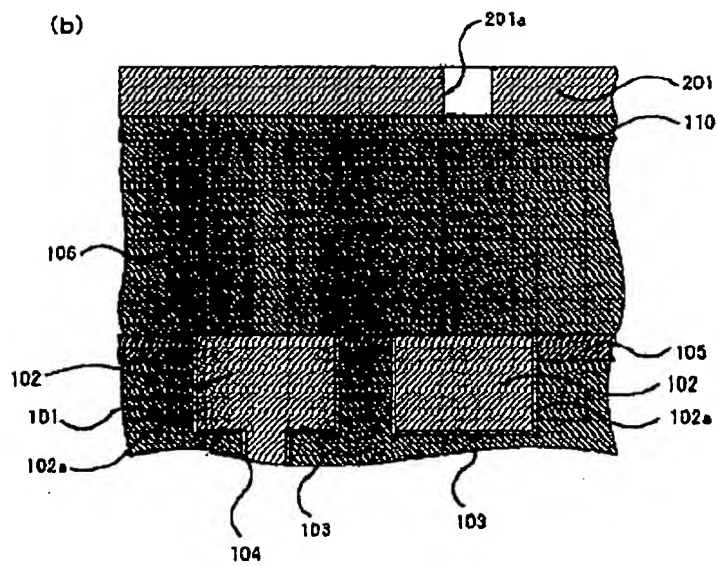


【図2】

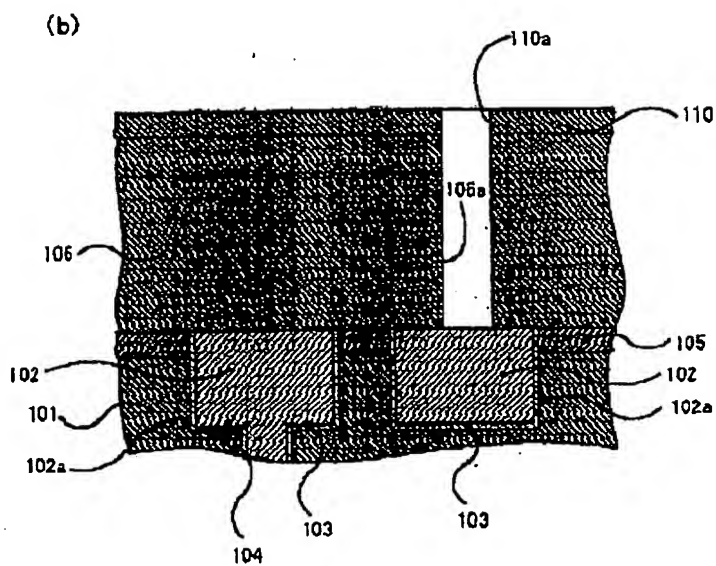
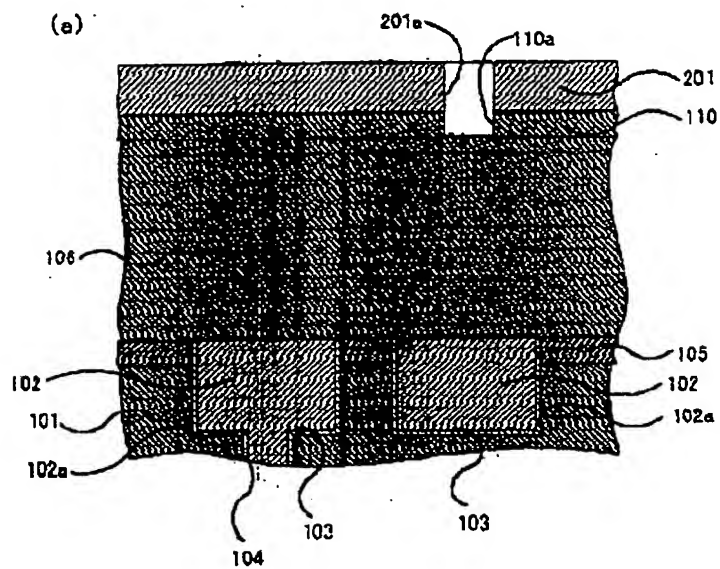
(a)



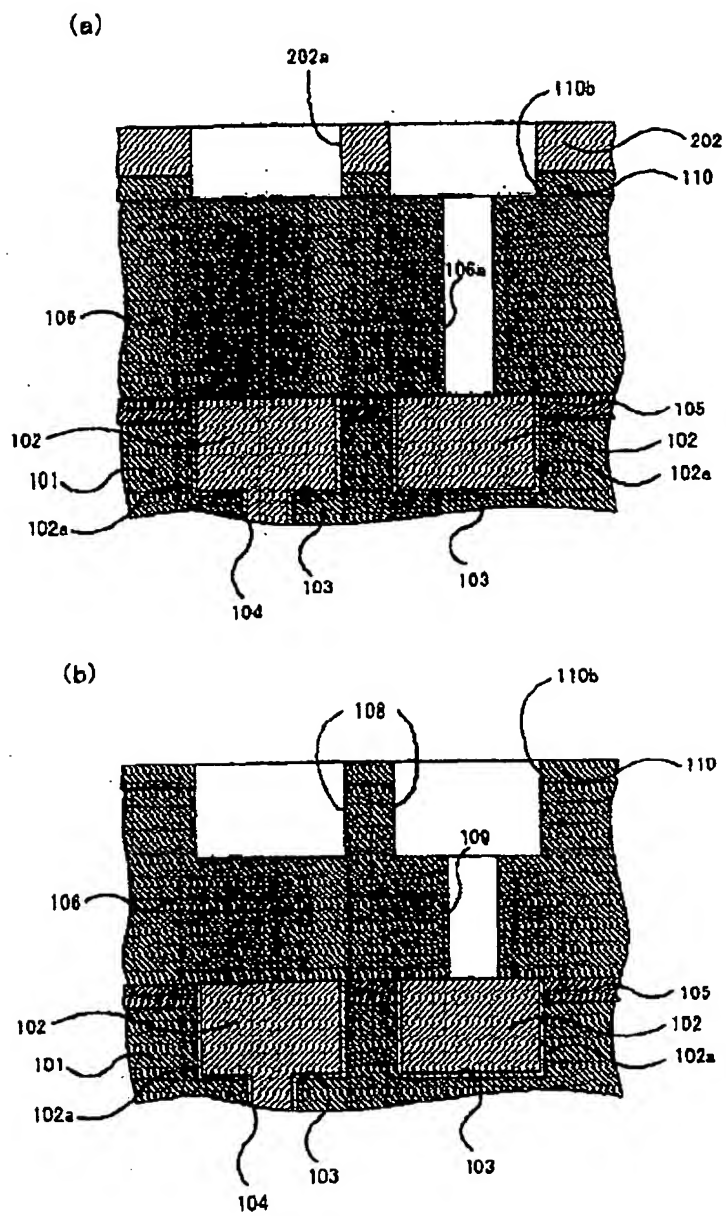
(b)



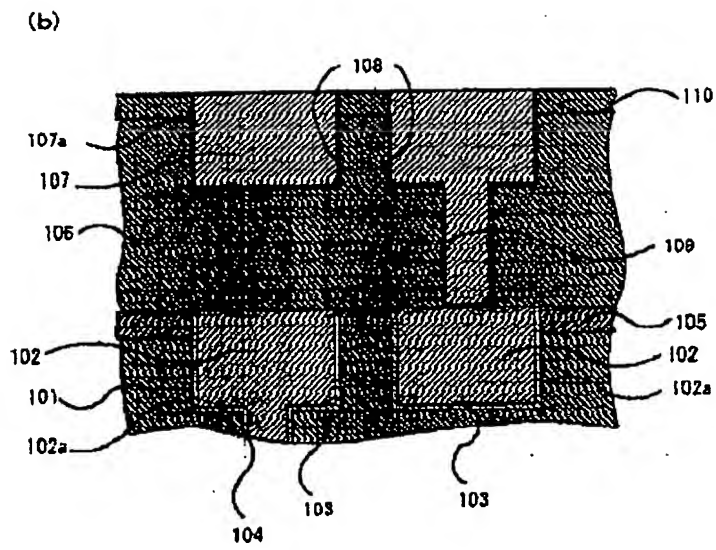
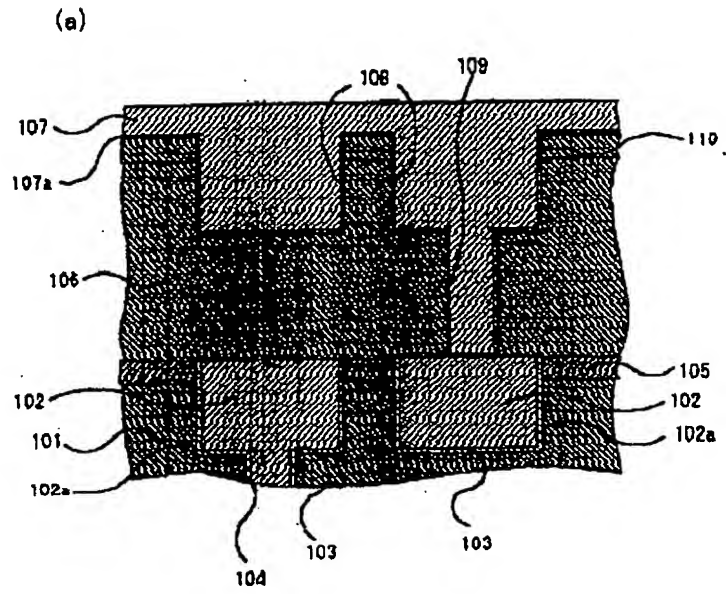
【図3】



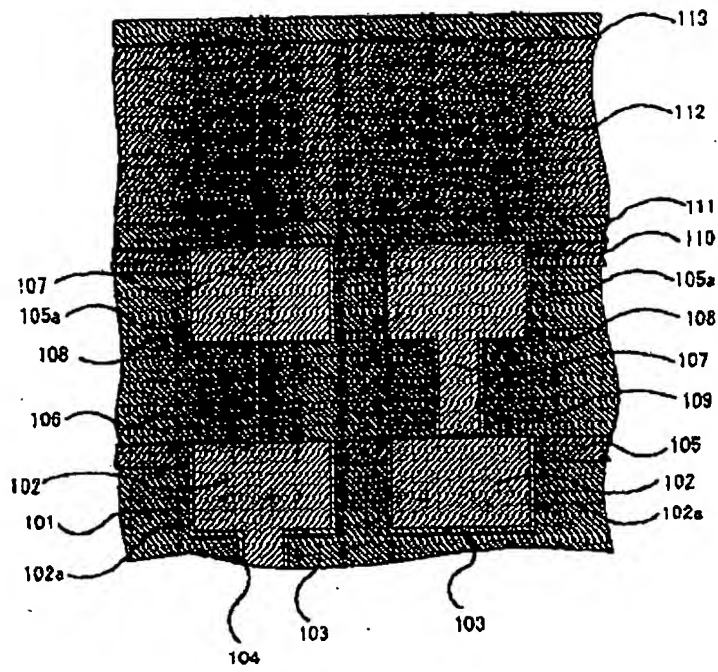
【図4】



【図5】

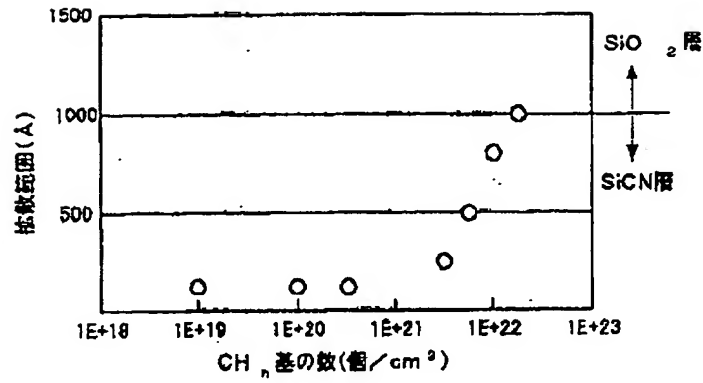


【図6】

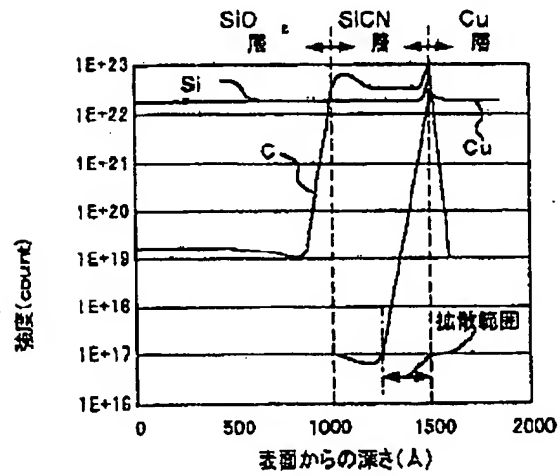


【図8】

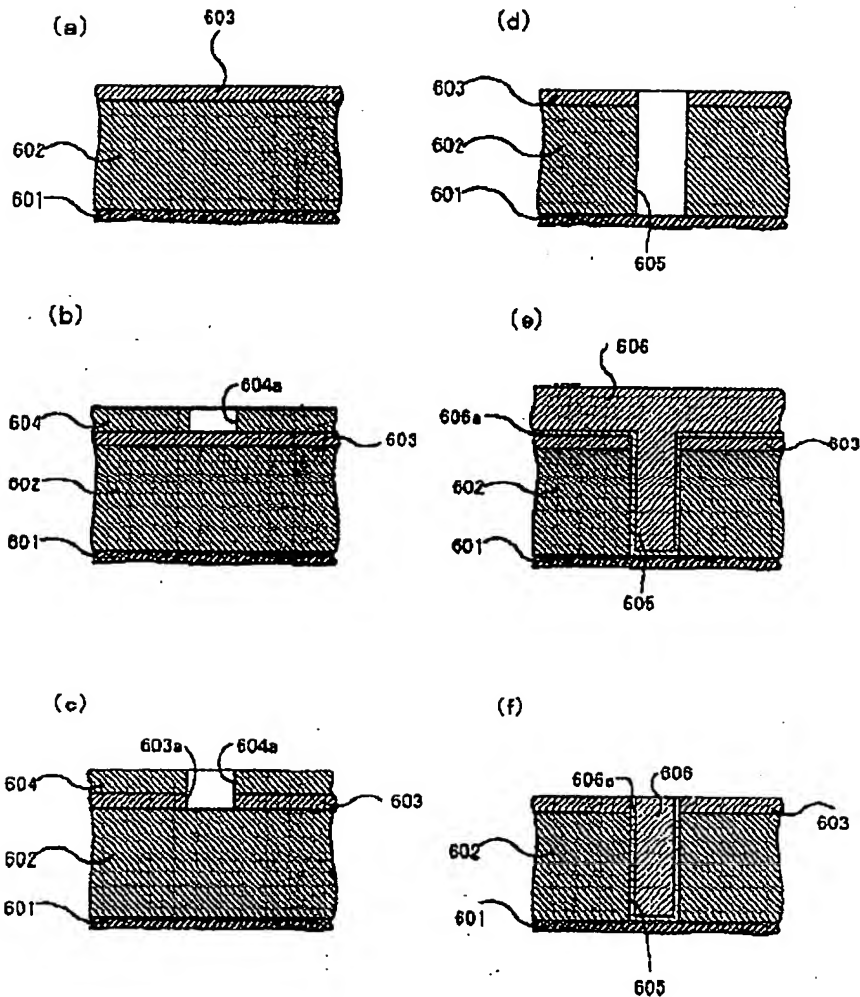
(a)



(b)



【図10】



フロントページの続き

(72)発明者 川村 剛平
 山梨県韮崎市穂坂町三ツ沢650 東京エ
 レクトロン株式会社内

Fターム(参考) 5F033 HH08 HH09 HH11 HH18 HH19
HH21 HH32 HH33 HH34 JJ08
JJ09 JJ11 JJ18 JJ19 JJ21
JJ32 JJ33 JJ34 KK01 XX08
KK09 KK11 KK18 KK19 KK21
KK32 KK33 KK34 MM02 MM12
MM13 NN06 NN07 PP15 PP28
PP33 QQ09 QQ12 QQ13 QQ16
QQ25 QQ28 QQ30 QQ37 QQ48
RR01 RR04 RR05 RR08 RR11
RR12 RR20 SS02 SS03 SS15
TT02 XX24 XX28
5F058 BA05 BA20 BD03 BD06 BD08
BF09 BF23 BF26 BF27 BF29
BF30 BJ02